

Для цитирования: Солохина Т. В., Петричкович Я. Я., Глушков А. В., Беляев А. А., Кузнецов Д. А., Поперечный П. С. Процессор с интерфейсами SpaceWire/GigaSpaceWire/SpaceFibre для интеллектуальных систем космического наблюдения // Вопросы радиоэлектроники. 2018. № 8. С. 13–19. DOI 10.21778/2218-5453-2018-8-13-19 УДК 004.056.53

Т. В. Солохина¹, Я. Я. Петричкович¹, А. В. Глушков¹, А. А. Беляев^{1, 2}, Д. А. Кузнецов¹, П. С. Поперечный¹

¹ АО «Научно-производственный центр «ЭЛВИС»», ² Национальный исследовательский университет «МИЭТ»

ПРОЦЕССОР С ИНТЕРФЕЙСАМИ SPACEWIRE/GIGASPACEWIRE/SPACEFIBRE ДЛЯ ИНТЕЛЛЕКТУАЛЬНЫХ СИСТЕМ КОСМИЧЕСКОГО НАБЛЮДЕНИЯ

В статье представлены архитектура и основные характеристики разрабатываемой по технологии 90 нм радиационно стойкой СБИС MCDE50F, представляющей собой многопроцессорную гетерогенную систему на кристалле (СнК), в состав которой входят управляющий RISC-процессор MIPS64, графический ускоритель GPU, а также цифровой сигнальный процессор Elcore50. Ввод-вывод данных может выполняться с помощью интерфейсов SpaceWire/GigaSpaceWire/SpaceFibre, объединенных со встроенным многоканальным коммутатором, либо с помощью набора других стандартных интерфейсов. СБИС MCDE50F предназначена для многофункционального применения в интеллектуальных космических системах сбора и обработки данных, включая цифровую обработку сигналов, в том числе обработку изображений с поддержкой функций компьютерного зрения, и обеспечивает передачу высокоскоростных потоков данных по протоколам Ethernet, SpaceWire/GigaSpaceWire/SpaceFibre. Приведен пример построения бортовой сети передачи данных на основе СБИС MCDE50F. Дан анализ производительности цифрового сигнального процессора Elcore50 в составе СБИС MCDE50F при реализации функций стандарта OpenVX.

Ключевые слова: радиационно стойкие СБИС, цифровой сигнальный процессор, графический процессор, компьютерное зрение, протоколы SpaceWire, GigaSpaceWire, SpaceFibre

Введение

Для обеспечения успешного функционирования систем космического наблюдения они должны выполнять следующие задачи [1]:

- Доставка больших потоков поступающих данных от бортовых оптико-электронных преобразователей к обрабатывающим устройствам.
- Высокопроизводительная обработка и анализ поступающих данных (сигналов, изображений).
- Высокоскоростное переключение потоков входных и выходных данных.
- Общее управление бортовой системой.

Постоянное увеличение объемов обрабатываемой информации, с одной стороны, и связанное с этим повышение производительности разрабатываемых бортовых вычислительных систем, с другой стороны, приводит к возрастанию «интеллектуальности» таких систем. Современная тенденция в развитии бортовых систем сбора и обработки данных заключается в том, что собранная ими информация не просто упаковывается и транслируется

на Землю, а подвергается глубокой обработке сразу же на борту. В особенности это относится к системам космического наблюдения (называемым также системами дистанционного зондирования Земли – СДЗЗ), оперирующим огромными массивами обрабатываемых и передаваемых изображений.

Для выполнения высокоскоростной обработки изображений в составе бортовой вычислительной системы должны использоваться специализированные аппаратные ускорители либо процессорные ядра сигнальной обработки (DSP-ядра), ориентированные на обработку изображений.

Таким образом, необходимым условием для дальнейшего развития систем космического наблюдения является наличие радиационно стойких процессоров, которые, обеспечивая высокопроизводительную обработку поступающих сигналов, обладали бы вместе с тем возможностью коммутации и передачи информации по высокоскоростным интерфейсам, предназначенным для бортовых систем обработки данных, к числу которых относятся SpaceWire, SpaceFibre и GigaSpaceWire [2–4].

В данной работе рассматриваются особенности архитектуры СБИС MCDE50F, предназначенной для применения в бортовых системах космического наблюдения и обладающей высокой производительностью в задачах обработки изображений с поддержкой функций компьютерного зрения и обеспечивающей высокоскоростной обмен данными внутри бортовой системы на основе стандартов SpaceWire, GigaSpaceWire и SpaceFibre.

Архитектура СБИС MCDE50F

Будучи предназначенной для космических применений, микросхема MCDE50F схемотехнически реализована на основе радиационно стойкой библиотеки логических элементов. В архитектуре MCDE50F соблюдается баланс между вычислительными ресурсами процессорных ядер и пропускной способностью каналов передачи данных. Применение помехоустойчивого кода Хэмминга также обеспечивает устойчивость к сбоям при обращении к внутренней и внешней памяти.

Структурная схема многопроцессорной СнК MCDE50F приведена на рис. 1.

Основными составными частями СБИС MCDE50F являются:

- двухъядерный центральный процессор (CPU) – MIPS64 с SIMD/FPU:
 - I, D L1 CACHE – кэш команд и кэш данных CPU первого уровня объемом по 32 Кбайт;
 - L2 CACHE – кэш второго уровня, имеющий объем 512 Кбайт;
- цифровой сигнальный процессор Elcore50 с поддержкой функций компьютерного зрения (DSP):
 - PRAM – внутренняя память программ DSP-ядра;
 - XYRAM – внутренняя память данных DSP-ядра;
- встроенная внутрикристалльная оперативная память (CRAM) объемом 256 Кбайт;
- порт внешней памяти общего назначения (MPORT) с 64-разрядной шиной данных;
- два порта внешней памяти типа DDR2 (DDRMCO, DDRMC1) с 32-разрядной шиной данных, пиковая пропускная способность каждого из портов – 1600 Мбит/с (на частоте 400 МГц), с возможностью подключения микросхем памяти общим объемом до 7 Гбайт;
- графический процессор типа PowerVR GE8100 (GPU);

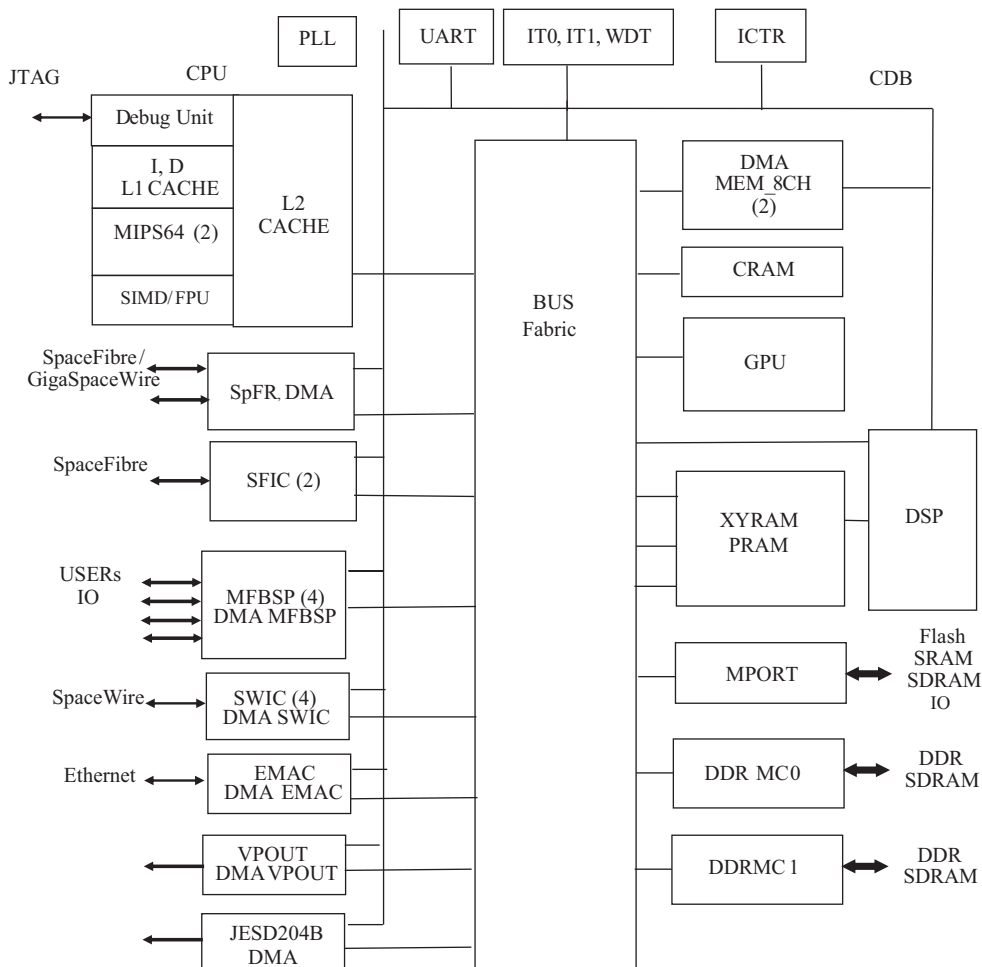


Рисунок 1. Структурная схема СБИС MCDE50F

- четыре дуплексных порта (SWIC0, SWIC1, SWIC2, SWIC3) SpaceWire (протокол ECSS-E-50-12C), каждый из которых обеспечивает скорость передачи от 2 до 300 Мбод. Порты соединены с 8-канальным контроллером DMA, обеспечивающим передачу данных через коммутатор AXI;
- 2-портовый мультипротокольный коммутатор SpaceFibre/GigaSpaceWire (SpFR). Поддерживает протокол RMAP. Пропускная способность каждого из двух портов – от 5 Мбод до 3,125 Гбод;
- два контроллера SpaceFibre (SFIC). Пропускная способность каждого канала (lane) – не менее 3,125 Гбит/с;
- контроллер Ethernet MAC10/100 МГц (EMAC);
- порт вывода видеоданных (VPOUT);
- порт ввода/вывода данных цифровых преобразователей по протоколу JESD204B;
- 4 многофункциональных буферизированных последовательных порта (MFBSP), поддерживающих в том числе протокол SPI, а также функции порта ввода-вывода общего назначения GPIO;
- два контроллера DMA «память-память», по 8 каналов каждый;
- контроллер прерываний;
- универсальный порт UART типа 16550;
- два таймера (IT0, IT1) универсальных 32-разрядных;
- реконфигурируемые таймеры (реального времени/интервальные) с источниками входной частоты: CLK, XT1;
- умножители/делители входной частоты на базе устройств фазовой автоподстройки частоты (PLL);
- блоки коррекции ошибок по коду Хэмминга с возможностью исправления однократных и обнаружения двукратных ошибок;
- блоки управления режимами энергосбережения;
- встроенные средства отладки программ и порт JTAG IEEE1149.1.

Таким образом, в состав многопроцессорной системы на кристалле MCDE50F входят три типа процессорных ядер: центральный процессор с RISC-архитектурой MIPS64 (CPU), процессорное ядро сигнальной обработки Eicore50 с поддержкой функций компьютерного зрения (DSP) и ядро графического процессора (GPU). Наличие в системе трех типов процессорных ядер позволяет пользователям оптимальным образом (в том числе динамически) перераспределять вычислительную нагрузку между ядрами с учетом специфики решаемых задач. Ниже представлены основные архитектурные и функциональные свойства процессорных ядер, входящих в состав СБИС MCDE50F.

Центральный процессор

В состав микросхемы MCDE50F входит двухъядерный центральный процессор (CPU), обладающий следующими свойствами:

- архитектура – mips64 (i6408);
- 2 потока на ядро;
- кэш данных L1 объемом 32 Кбайт;
- кэш команд L1 объемом 32 Кбайт;
- кэш L2 объемом 512 Кбайт;
- SIMD-расширение/сопроцессор арифметики в формате с плавающей точкой;
- рабочая частота – не менее 300 МГц;
- порт JTAG IEEE1149 и встроенные средства отладки программ.

Цифровой процессор обработки сигналов

В составе микросхемы MCDE50F имеется цифровой сигнальный процессор Eicore50 (DSP), обладающий следующими свойствами:

- Модифицированная гарвардская архитектура с одновременным доступом DSP-ядра к программной памяти PRAM и двум каналам обмена с памятью данных XYRAM (X и Y):
 - объем памяти программ PRAM – 64 Кбайт;
 - объем памяти данных XYRAM – 512 Кбайт.
- Оригинальная система команд, включающая функции обработки и обмена данными, команды программного управления, реализующая VLIW-распараллеливание на уровне инструкций и SIMD-распараллеливание на уровне данных.
- Независимый конвейер по предвыборке и исполнению инструкций.
- Широкий набор типов используемых данных: 8/16/32/64-разрядные типы данных с фиксированной точкой, 16/32/64-разрядные типы данных с плавающей точкой в стандарте IEEE754. Аппаратные меры повышения точности и динамического диапазона (режимы насыщения и округления; инструкции преобразования форматов).
- Иерархическая система кэшей: L1 кэш инструкций объемом 16 Кбайт, L1 кэш данных объемом 16 Кбайт, L2 кэш с реконфигурируемым объемом до 512 Кбайт.
- Трансляция виртуальных адресов в физические при помощи устройства управления памятью (MMU).
- Подвижная реконфигурируемая граница между памятью данных и L2 кэш: память данных XYRAM DSP-ядра может иметь объем 0/256/384/512 Кбайт, L2 кэш – 0/128/256/512 Кбайт.
- Механизм прерываний DSP от внешних и внутренних источников.
- Доступ DSP-ядра ко всему адресному пространству – адресуемым регистрам и памяти.

- Встроенный 4-канальный контроллер DMA для организации обменов с внешней памятью.
- Аппаратная поддержка циклов.
- Встроенный 32-разрядный интервальный таймер, работающий от частоты DSP.
- Максимальная скорость обмена с памятью данных XDRAM – 128 байт за такт.
- Максимальная скорость обмена с внешней памятью – 16 байт за такт.
- Пиковая суммарная производительность DSP-ядра:
 - в формате 64-разрядной плавающей точки – 16 операций за 1 такт;
 - в формате 32-разрядной плавающей точки – 64 операции за 1 такт;
 - в формате 16-разрядной плавающей точки – 256 операций за 1 такт;
 - в формате 64-разрядной фиксированной точки – 8 операций за 1 такт;
 - в формате 32-разрядной фиксированной точки – 64 операции за 1 такт;
 - в формате 16-разрядной фиксированной точки – 256 операций за 1 такт;
 - в формате 8-разрядной фиксированной точки – 1024 операции за 1 такт.

Графический процессор

В составе микросхемы имеется 2D/3D графический процессор (GPU), обладающий следующими свойствами:

- архитектура – PowerVR GE8100;
- разрешение – 1080 p с возможностью увеличения до 4K;
- пользовательский программный интерфейс: OpenGL ES1.x/2.0/3.x/AEP, Vulkan 1.0, OpenCL 1.2 EP, OpenVX 1.1, DirectX9_3 (опционально);
- способы представления текстуры: PVRTC1/2, ETC1/2, ASTC (LDR).

Применение СБИС MCDE50F в бортовой системе обработки изображений

СБИС MCDE50F обладает широким набором коммуникационных интерфейсов для построения эффективных космических систем сбора и обработки данных, при этом встроенный контроллер DMA обеспечивает фоновую передачу данных между используемыми портами.

В частности, интерфейс SpaceFibre с пропускной способностью 3,125 Гб/с может быть использован для организации бортовой сети передачи

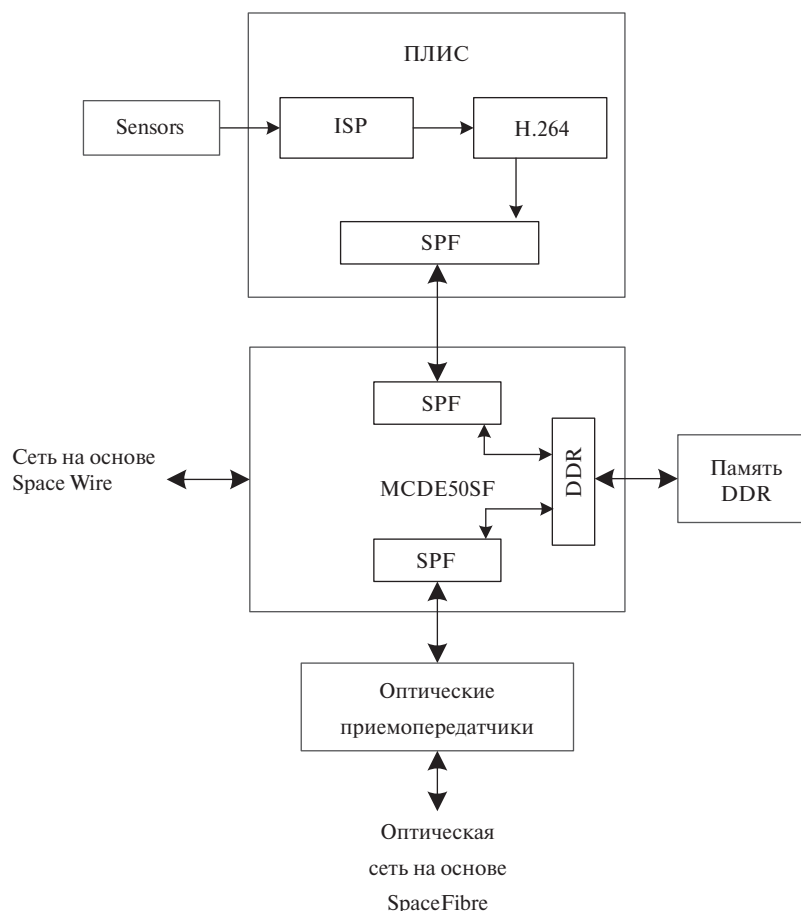


Рисунок 2. Пример бортовой сети передачи данных на основе СБИС MCDE50F

оптических данных по оптико-волоконным линиям, как показано на рис. 2.

Через интерфейс SpaceFibre СБИС MCDE50F может быть соединена с внешней программируемой логической интегральной схемой (ПЛИС), обеспечивающей интерфейс с датчиками изображений. Помимо доставки оптических данных, ПЛИС может выполнять их первичную обработку с помощью встроенного блока предобработки ISP (Image Signal Processor) или сжатие с помощью встроенного блока сжатия по стандарту H.264.

Вычисление функций библиотеки OpenVX с помощью DSP-ядра Elcore50

Приложения видеоаналитики и компьютерного зрения переживают в настоящее время бурное развитие, и они становятся все более востребованными, в том числе и в аэрокосмической отрасли.

Адаптация приложений видеоаналитики и компьютерного зрения к новым аппаратно-программным платформам является весьма трудоемкой задачей. Упростить переход между различными платформами помогает открытый стандарт функций компьютерного зрения OpenVX [5, 6].

Стандарт включает более 40 функций компьютерного зрения. Стандарт допускает вычисление этих функций как с помощью программируемых процессоров, так и с помощью аппаратных ускорителей. Стандарт гарантирует одинаковую функциональность при реализации приложений компьютерного зрения на любой поддерживающей его платформе. Стандарт определяет набор регулярных структур данных: тензоры, изображения, массивы переменных (координаты, структуры с точками интереса).

На рис. 3 приведена диаграмма сравнения производительности DSP-ядра Elcore50 в составе СБИС MCDE50F с процессором Intel (i5-2400 3.4 GHz) при реализации функций стандарта OpenVX. За 100% при этом принимается производительность платформы Intel. Тестирование проводилось на изображениях размером 1920×1080 пикселей.

Для DSP-ядра Elcore50 имеется эффективный компилятор с языков C/C++, а также набор оптимизированных библиотек, облегчающих портирование алгоритмов компьютерного зрения на эту платформу. Библиотека функций OpenVX с целью оптимизации реализована на ассемблере DSP-ядра Elcore50 и включает все функции стандарта OpenVX, а также набор дополнительных функций, часто применяемых в приложениях компьютерного зрения [7, 8].

Заключение

В статье представлены особенности построения многопроцессорной системы на кристалле MCDE50F, предназначенной для применений в бортовых системах космического наблюдения.

Архитектурные свойства разработанной СБИС MCDE50F делают возможным реализацию на ее основе высокопроизводительных систем приема, обработки и передачи изображений с поддержкой функций компьютерного зрения, обеспечивающих высокоскоростную коммутацию и обмен данными внутри бортовой системы. Высокая скорость обменов в системе поддерживается наличием интерфейсов, работающих по современным коммуникационным стандартам SpaceWire/GigaSpaceWire/

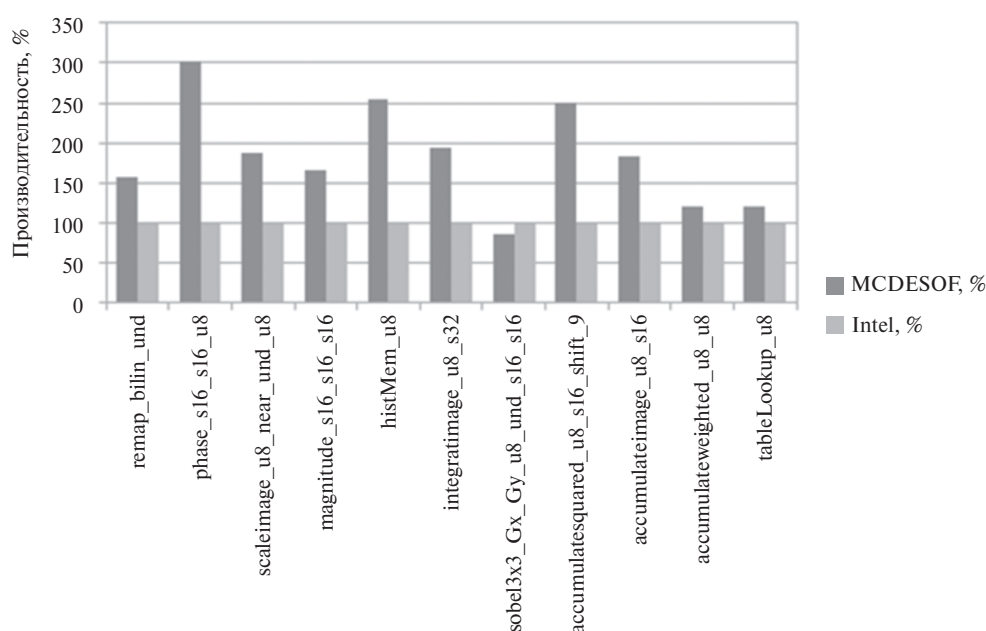


Рисунок 3. Сравнение производительности MCDE50F и процессора Intel (i5-2400 3.4 GHz) при реализации функций стандарта OpenVX

SpaceFibre, предназначенным для применения в бортовых системах передачи данных.

В статье показаны вычислительные возможности разрабатываемой микросхемы по реализации функций стандарта OpenVX, а также дополнительных функций, часто применяемых в приложениях компьютерного зрения.

СБИС MCDE50F спроектирована по технологическим нормам 90 нм на базе специализированной библиотеки логических элементов, обеспечивающей повышенную радиационную стойкость. Применение помехоустойчивого кода Хэмминга обеспечивает также устойчивость к сбоям во внутренней и внешней памяти.

БЛАГОДАРНОСТЬ

Коллектив авторов выражает глубокую благодарность д.т.н. Юрию Евгеньевичу Шейнину, к.т.н. Елене Александровне Суворовой и Дмитрию Валерьевичу Дымову за активное и плодотворное участие в разработке коммутационной среды СБИС MCDE50F.

СПИСОК ЛИТЕРАТУРЫ

1. Next Generation Processor for On-board Payload Data Processing Application ESA Round Table Synthesis. ESA, TEC-EDP/2007.35/RT, October 2007. Available at: <http://spacewire.esa.int/edp-page/documents/NGDSP%20Round%20Table%20Synthesis%20V1.0.pdf> (accessed 02.05.2017)
2. Parkes S. M., McClements C., Dunstan M., Suess M. [SpaceFibre: Gbit/s Links For Use On board Spacecraft. International Astronautical Congress, Daejeon, Korea, 2009, paper IAC-09-B2.5.8. Available at: <http://2010.spacewire-conference.org/proceedings/Papers/Standardisation/Parkes2.pdf> (accessed 02.05.2017)
3. D2.1 SpaceWire-RT Outline Specification. SPACEWIRE-RT Consortium. Available at: http://spacewire-rt.org/Data/Docs/SpWRT_D2-1_v2-00.pdf (accessed 02.05.2017)
4. D5.1 SpaceWire-RT ASIC Implementation Feasibility Summary Report. SPACEWIRE-RT Consortium. Available at: [http://spacewire.esa.int/WG/SpaceWire/SpW-WG-Mtg20-Proceedings/SpW%20WG%20Mtg%2320%20Session%205%20-%20SpaceWire-RT%20Status%20\(S.Parkes\).pdf](http://spacewire.esa.int/WG/SpaceWire/SpW-WG-Mtg20-Proceedings/SpW%20WG%20Mtg%2320%20Session%205%20-%20SpaceWire-RT%20Status%20(S.Parkes).pdf) (accessed 02.05.2017)
5. Khronos. The OpenVX Specification. Available at: <https://www.khronos.org/registry/OpenVX/specs/1.2/html/index.html> (accessed 11.05.2018)
6. Khronos. OpenVX Neural Network Extension. Available at: https://www.khronos.org/registry/OpenVX/extensions/neural_network_1.2/html/index.html (accessed 11.05.2018)
7. Dios A. J., Asenjo R., Navarro A., Corbera F., Zapata E. L. High-level template for the task-based parallel wavefront pattern. 18th International Conference on High Performance Computing, Bangalore, 2011, pp. 1–10.
8. Анализ алгоритмов видеоаналитики и их адаптация для платформы МУЛЬТИКОР: отчет о НИР (заключ.) / С. В. Умняшкин, Р. В. Голованов, И. О. Шаронов, К. В. Панфилова и др. М.: МИЭТ, 2015. 206 с. № ГР 115071310026.

ИНФОРМАЦИЯ ОБ АВТОРАХ

Солохина Татьяна Владимировна, к.т.н., заместитель директора, АО «Научно-производственный центр «ЭЛВИС»», 124498, Москва, Зеленоград, проезд № 4922, д. 4, стр. 2, тел.: 8 (499) 724-44-10, e-mail: tanya@elvees.com.

Петричкович Ярослав Ярославович, д.т.н., директор, АО «Научно-производственный центр «ЭЛВИС»», 124498, Москва, Зеленоград, проезд № 4922, д. 4, стр. 2, тел.: 8 (499) 913-31-88, e-mail: slava@elvees.com.

Глушков Александр Валентинович, начальник отдела, АО «Научно-производственный центр «ЭЛВИС»», 124498, Москва, Зеленоград, проезд № 4922, д. 4, стр. 2, тел.: 8 (499) 731-19-61, e-mail: grisly@elvees.com.

Беляев Андрей Александрович, д.т.н., начальник лаборатории, АО «Научно-производственный центр «ЭЛВИС»», 124498, Москва, Зеленоград, проезд № 4922, д. 4, стр. 2, тел.: 8 (903) 100-21-43, e-mail: bel@elvees.com.

Кузнецов Денис Александрович, начальник отдела разработки программного обеспечения НТО-3, АО «Научно-производственный центр «ЭЛВИС»», 124498, Москва, Зеленоград, проезд № 4922, д. 4, стр. 2, тел.: 8 (499) 731-19-61, e-mail: dark@elvees.com.

Поперечный Павел Сергеевич, к.т.н., инженер, АО «Научно-производственный центр «ЭЛВИС»», 124498, Москва, Зеленоград, проезд № 4922, д. 4, стр. 2, тел.: 8 (499) 731-19-61, e-mail: ppoperechny@elvees.com.

For citation: Solokhina T. V., Petrichkovich J. J., Glushkov A. V., Belyaev A. A., Kuznetsov D. A., Poperechny P. S. Microprocessor for intelligent space surveillance systems with SpaceWire/GigaSpaceWire/SpaceFibre links Voprosy radioelektroniki, 2018, no. 8, pp. 13–19. DOI 10.21778/2218-5453-2018-8-13-19

T. V. Solokhina, J. J. Petrichkovich, A. V. Glushkov, A. A. Belyaev, D. A. Kuznetsov, P. S. Poperechny MICROPROCESSOR FOR INTELLIGENT SPACE SURVEILLANCE SYSTEMS WITH SPACEWIRE/GIGASPACEWIRE/SPACEFIBRE LINKS

The article presents architecture and main features of 90 nm CMOS radiation tolerant MCDE50F ASIC as multiprocessor heterogeneous SoC (System-on-Chip) which contains MIPS64 RISC core, graphic processing unit (GPU) and application-specific computer vision Elcore50 DSP. High-speed data input/output is performed by multiprotocol SpaceFibre/GigaSpaceWire/

SpaceWire ports combined with built-in multichannel SpaceFibre/GigaSpaceWire/SpaceWire based switch. MCDE50F ASIC is intended for space “intelligent” surveillance system applications, which require high computational performance in signal and image processing, including computer vision functions support, and high-speed deliverance of massive data arrays. An example of onboard data processing system structure based on MCDE50F ASIC is presented. Performance characteristics of MCDE50F ASIC implementing OpenVX standard functions are also given.

Keywords: radiation tolerant heterogeneous multicore ASIC, multiprotocol SpaceFibre/GigaSpaceWire/SpaceWire links, computer vision.

REFERENCES

1. Next Generation Processor for On-board Payload Data Processing Application ESA Round Table Synthesis. ESA, TEC-EDP/2007.35/RT, October 2007. Available at: <http://spacewire.esa.int/edp-page/documents/NGDSP%20Round%20Table%20Synthesis%20V1.0.pdf> (accessed 02.05.2017)
2. Parkes S.M., McClements C., Dunstan M., Suess M. SpaceFibre: Gbit/s Links For Use On board Spacecraft. International Astronautically Congress, Daejeon, Korea, 2009, paper IAC-09-B2.5.8. Available at: <http://2010.spacewire-conference.org/proceedings/Papers/Standardisation/Parkes2.pdf> (accessed 02.05.2017)
3. D2.1 SpaceWire-RT Outline Specificatio. SPACEWIRE-RT Consortium. Available at: http://spacewire-rt.org/Data/Docs/SpWRT_D2-1_v2-00.pdf (accessed 02.05.2017)
4. D5.1 SpaceWire-RT ASIC Implementation Feasibility Summary Report. SPACEWIRE-RT Consortium. Available at: [http://spacewire.esa.int/WG/SpaceWire/SpW-WG-Mtg20-Proceedings/SpW%20WG%20Mtg%2320%20Session%205%20-%20SpaceWire-RT%20Status%20\(S.Parkes\).pdf](http://spacewire.esa.int/WG/SpaceWire/SpW-WG-Mtg20-Proceedings/SpW%20WG%20Mtg%2320%20Session%205%20-%20SpaceWire-RT%20Status%20(S.Parkes).pdf) (accessed 02.05.2017)
5. Khronos. The OpenVX Specification. Available at: <https://www.khronos.org/registry/OpenVX/specs/1.2/html/index.html> (accessed 11.05.2018)
6. Khronos. OpenVX Neural Network Extension. Available at: https://www.khronos.org/registry/OpenVX/extensions/neural_network_1.2/html/index.html (accessed 11.05.2018)
7. Dios A.J., Asenjo R., Navarro A., Corbera F., Zapata E.L. High-level template for the task-based parallel wavefront pattern. *18th International Conference on High Performance Computing*, Bangalore, 2011, pp. 1–10.
8. Umyashkin S. V., Golovanov R.V., Sharonov I.O., Panfilova K.V. et al. *Analiz algoritmov videoanalitiki i ih adaptacija dlja platformy MULTIKOR: otchet o NIR (zakljuch.)* [Analysis of algorithms of video analytics and their adaptation for the MULTICOR platform: Report on research (opinion)]. Moscow, MIET Publ., 2015, 206 p. № GR115071310026 (In Russian).

AUTHORS

Solokhina Tatiana, PhD, deputy of director, Joint-Stock Company Research and Development Center ELVEES, 4/2, proezd № 4922, Zelenograd, Moscow, 124498, Russian Federation, tel.: +7 (499) 724-44-10, e-mail: tanya@elvees.com.

Petrichkovich Jaroslav, PhD, director, Joint-Stock Company Research and Development Center ELVEES, 4/2, proezd № 4922, Zelenograd, Moscow, 124498, Russian Federation, tel.: +7 (499) 913-31-88, e-mail: slava@elvees.com.

Glushkov Aleksandr, head of department, Joint-Stock Company Research and Development Center ELVEES, 4/2, proezd № 4922, Zelenograd, Moscow, 124498, Russian Federation, tel.: +7 (499) 731-19-61, e-mail: grisly@elvees.com.

Belyaev Andrey, PhD, head of laboratory, Joint-Stock Company Research and Development Center ELVEES, 4/2, proezd № 4922, Zelenograd, Moscow, 124498, Russian Federation, tel.: +7 (903) 100-21-43, e-mail: bel@elvees.com.

Kuznetsov Denis, head of software development department STD-3, Joint-Stock Company Research and Development Center ELVEES, 4/2, proezd № 4922, Zelenograd, Moscow, 124498, Russian Federation, tel.: +7 (499) 731-19-61, e-mail: dark@elvees.com.

Poperechny Pavel, PhD, engineer, Joint-Stock Company Research and Development Center ELVEES, 4/2, proezd № 4922, Zelenograd, Moscow, 124498, Russian Federation, tel.: +7 (499) 731-19-61, e-mail: ppoperechny@elvees.com.