

Р. В. Магеррамов<sup>1, 2</sup>

<sup>1</sup> НПК «Технологический центр», <sup>2</sup> НИУ «Московский институт электронной техники»

# МЕТОД ЧАСТОТНО-ФАЗОВОГО ДЕТЕКТИРОВАНИЯ, ПРИМЕНЯЕМЫЙ В АНАЛОГО-ЦИФРОВОМ ПРЕОБРАЗОВАТЕЛЕ НА ОСНОВЕ КОНТУРА ФАЗОВОЙ АУТОПОДСТРОЙКИ ЧАСТОТЫ

Контур фазовой автоподстройки частоты (ФАПЧ) является неотъемлемой частью многих электронных изделий в современной электронике и радиотехнике, который применяется для формирования и обработки аналоговых и цифровых сигналов. Одно из нестандартных применений контура ФАПЧ заключается в реализации преобразователя аналогового напряжения в длительность импульсов. Данное применение контура ФАПЧ позволяет создать аналого-цифровой преобразователь (АЦП) с высокой разрешающей способностью, а особенности реализации контура ФАПЧ могут обеспечить ряд преимуществ, таких как высокая помехоустойчивость, компенсация погрешностей номиналов пассивных элементов, работоспособность в широком диапазоне температур и т. д. Точность преобразования в таком устройстве зависит как от отдельно спроектированных блоков контура ФАПЧ, так и от параметров всей системы в целом. В статье рассматривается реализация цифрового частотно-фазового детектора (ЧФД), работающего в диапазоне от 0 до  $2\pi$ . В основе его работы лежит метод частотно-фазового детектирования, обеспечивающий уменьшение времени переходных процессов в контуре ФАПЧ, а также исключающий детектирование когерентных и кратных частот опорного сигнала.

**Ключевые слова:** частотно-фазовый детектор, аналого-цифровой преобразователь, переходные процессы

## Введение

Система ФАПЧ используется для частотной и фазовой модуляции и демодуляции, умножения и преобразования частоты, частотной фильтрации или выделения опорного колебания для когерентного детектирования сигналов. Обычно входным или

выходным сигналом в устройствах с ФАПЧ является частота. ФАПЧ – это система управления с петлей отрицательной обратной связи (рис. 1), в которой параметрами регулирования являются частота (скорость изменения фазы на  $360^\circ$  за 1 с) или фаза сигнала, а не величина его напряжения или тока [1–2].

Одно из нестандартных применений контура ФАПЧ заключается в реализации преобразователя аналогового напряжения в длительность импульса. Последующий подсчет времени импульса позволяет получить двоичный код, который является преобразованным значением аналогового напряжения [3–4].

Нестандартная реализация фильтра нижних частот, выполненная по схеме пропорционально-интегрирующего фильтра, позволяет ввести в систему ФАПЧ дополнительный внешний аналоговый сигнал  $U_x$  (рис. 2), уровень напряжения которого изменяет скважность выходного сигнала  $F_0$ . Изменение скважности сигнала  $F_0$  происходит за счет наличия в системе двух отрицательных обратных связей (ООС). Первая ООС является соединением выхода операционного усилителя (ОУ) с его отрицательным

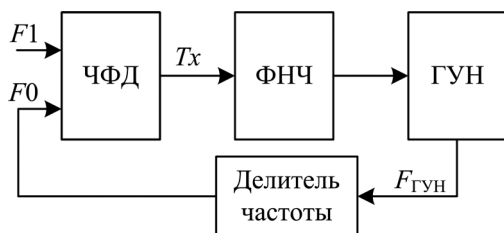


Рисунок 1. Блок-схема контура фазовой автоподстройки частоты:  $F_1$ ,  $F_0$  – входы частотно-фазового детектора (ЧФД);  $T_x$  – выход; ФНЧ – фильтр нижних частот; ГУН – генератор, управляемый напряжением;  $F_{ГУН}$  – выходной сигнал ГУН

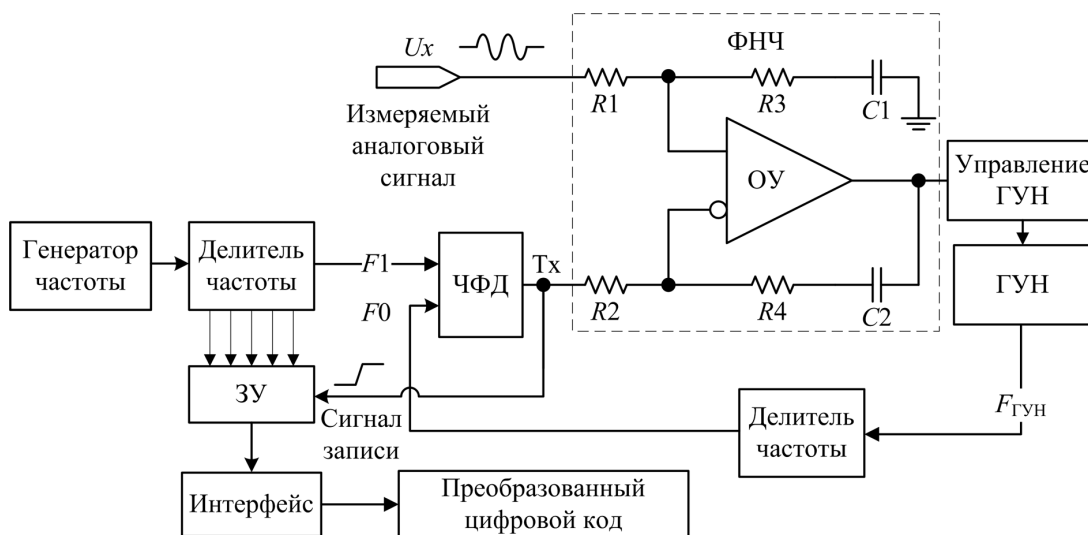


Рисунок 2. Блок-схема аналого-цифрового преобразователя на основе фазовой автоподстройки частоты

входом. ОУ стремится компенсировать разность напряжения входных сигналов, делая их равными нулю. Вторую ООС образует контур ФАПЧ, который регулирует частоту выходного сигнала  $F_0$  относительно фазы и частоты опорного сигнала  $F_1$  [5–6].

Данная система ФАПЧ настроена таким образом, что напряжение, поданное на вход  $U_x$ , соответствующее половине диапазона питания схемы, устанавливает скважность выходного сигнала  $T_x$  ЧФД на уровне 50%. Это объясняется теорией математического интегрирования цифрового (прямоугольного) сигнала. Прямоугольный сигнал со скважностью 50% имеет постоянную составляющую, равную половине напряжения верхнего уровня сигнала [7–8].

**Частотно-фазовый детектор**

Одним из основных блоков контура ФАПЧ является частотно-фазовый детектор, который осуществляет сравнение частот и фаз входных сигналов. Частотно-фазовый детектор – устройство импульсного типа, преобразующее фазовый сдвиг в длительность импульса. В основе схемотехнической реализации лежит использование синхронных динамических триггеров.

Детектор имеет три основных входа:  $F_0$ ,  $F_1$ ,  $CLR$  и три выхода:  $T_x$ ,  $Q_0$ ,  $Q_1$  (рис. 3). Выбор индексов 0 и 1 при обозначении входов  $F_0$ ,  $F_1$  связан с логикой работы ЧФД. Передний фронт сигнала  $F_1$  устанавливает на выходе  $T_x$  логическую «1», а передний фронт сигнала  $F_0$  устанавливает на выходе  $T_x$  логический «0». Для обеспечения корректной работы устройства сигналы  $F_1$  и  $F_0$  должны иметь прямоугольную форму напряжений. ЧФД определяет временной интервал между передними фронтами

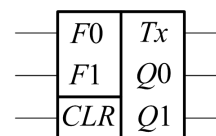


Рисунок 3. Условно-графическое обозначение частотно-фазового детектора

сигналов  $F_1$  и  $F_0$  в режиме сравнения фаз входных сигналов.

Входы  $F_1$  и  $F_0$  являются выводами для опорного и детектируемого сигналов соответственно, вход  $CLR$  – вывод сброса, который переводит устройство в начальное состояние ( $T_x = 0$ ,  $Q_0 = 0$ ,  $Q_1 = 0$ ).  $T_x$  – выход, формирующий логическую «1», длительность которой равняется разности фаз  $F_1$  и  $F_0$ .  $Q_0$  – выходной сигнал, формирующий логическую «1», если частота  $F_0 > F_1$ .  $Q_1$  – выходной сигнал, формирующий логическую «1», если частота  $F_1 > F_0$ .

Устройство имеет два режима работы: детектирование частот входных сигналов  $F_0$ ,  $F_1$  и детектирование фаз входных сигналов  $F_0$ ,  $F_1$ .

**Метод частотно-фазового детектирования**

В режиме детектирования частот происходит отслеживание частоты детектируемого сигнала  $F_0$  относительно опорного сигнала  $F_1$ . Если частота опорного сигнала  $F_1$  больше детектируемого сигнала  $F_0$ , то на выходе  $Q_1$  и  $T_x$  формируется логическая «1», а на выходе  $Q_0$  – логический «0». Если частота опорного сигнала  $F_1$  меньше частоты детектируемого сигнала  $F_0$ , то на выходе  $Q_0$  формируется логическая «1», а на выходе  $Q_1$  и  $T_x$  – логический «0».

Если в начальный момент времени частота опорного сигнала  $F1$  превысит частоту детектируемого сигнала  $F0$  в два и более раз, то на выходах  $Q1$  и  $Tx$  будет сформирована логическая «1» – ЧФД находится в режиме детектирования фаз. Сравнение фаз произойдет только после детектирования двух передних фронтов сигнала  $F0$ . Первый передний фронт сигнала  $F0$  сформирует на выходе  $Q1$  логический «0», второй передний фронт сигнала  $F0$  сформирует на выходе  $Tx$  логический «0», что приведет к режиму детектирования фаз входных сигналов  $F0$  и  $F1$ .

Если в начальный момент времени частота детектируемого сигнала  $F0$  превысит частоту сигнала  $F1$  в два и более раз, то на выходе  $Tx$  и  $Q1$  будет сформирован логический «0», а на выходе  $Q0$  – логическая «1», – ЧФД находится в режиме детектирования частот. Для перехода в режим сравнения фаз необходимо детектирование двух передних фронтов сигнала  $F1$ . Первый фронт сигнала  $F1$  сформирует на выходе  $Q0$  логический «0», второй фронт сигнала  $F1$  сформирует на выходе  $Tx$  логическую «1», что приведет к режиму детектирования фаз входных сигналов  $F0$  и  $F1$  (рис. 4).

В режиме детектирования частоты частотно-фазовый детектор работает по принципу реверсивного

счетчика на основе кода Грея (табл. 1). Схема детектирует только передние фронты входных сигналов  $F0$ ,  $F1$ . Одновременное детектирование передних фронтов сигналов  $F1$  и  $F0$  исключено, так как  $F0$  – сигнал обратной связи контура фазовой автоподстройки частоты, а  $F1$  – сигнал опорной частоты.

В табл. 1 использованы следующие обозначения: BIN [ $Q0$ ,  $Q1$ ,  $Tx$ ] – объединенная шина в двоичном коде; DEC [ $Q0$ ,  $Q1$ ,  $Tx$ ] – объединенная шина в десятичном коде, использованная в основаниях графа состояний (рис. 5) частотно-фазового детектора, в котором представлен алгоритм работы устройства в зависимости от детектирования передних фронтов входных сигналов  $F1$ ,  $F0$ .

В режиме детектирования фаз частоты входных сигналов  $F1$ ,  $F0$  равны между собой. Схема ЧФД формирует на выходе  $Tx$  дискретные импульсы прямоугольной формы с частотой сигнала  $F1$ , длительность которых равна фазовому сдвигу между передними фронтами сигналов  $F1$  и  $F0$ . При этом выходы  $Q0$  и  $Q1$  равны логическому «0» (табл. 2). Выходная характеристика ЧФД в режиме сравнения фаз имеет периодический характер и обеспечивает детектирование фаз сигналов  $F1$  и  $F0$  в диапазоне от 0 до  $2\pi$  (рис. 6).

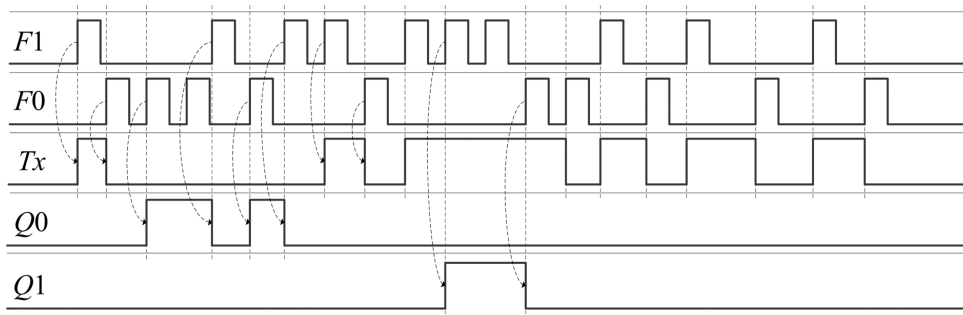


Рисунок 4. График работы частотно-фазового детектора:  $F1$ ,  $F0$  – входные сигналы;  $Tx$ ,  $Q0$ ,  $Q1$  – выходные сигналы частотно-фазового детектора. Стрелками отмечена зависимость переключения выходных сигналов от детектирования передних фронтов входных сигналов  $F0$ ,  $F1$

Таблица 1. Состояния и режимы работы частотно-фазового детектора

$F1$	$F0$	$Q0$	$Q1$	$Tx$	BIN [ $Q0$ , $Q1$ , $Tx$ ]	DEC [ $Q0$ , $Q1$ , $Tx$ ]	Режим детектирования
0	0	0	0	0	3'b000	0	Фазы
1	0	0	0	1	3'b001	1	
1	0	0	1	1	3'b011	3	Частоты
0	1	0	0	1	3'b001	1	Фазы
0	1	0	0	0	3'b000	0	
0	1	1	0	0	3'b100	4	Частоты
1	0	0	0	0	3'b000	0	Фазы
1	0	0	0	1	3'b001	1	

**Выводы**

В статье рассмотрен метод частотно-фазового детектирования, на основе которого реализована схема частотно-фазового детектора для АЦП на основе контура ФАПЧ. Применение метода частотно-фазового детектирования позволяет сравнивать фазы входных сигналов только в том случае, если их частоты равны между собой. В случае опережения или отставания входного сигнала от опорного фазовый детектор формирует логическую единицу на соответствующем выходе  $Q0$ ,  $Q1$ .

Особенность схемотехнической реализации позволяет предотвратить настройку контура ФАПЧ на кратные или когерентные частоты опорного сигнала, так как в режиме детектирования частот происходит фильтрация импульсов, возникающих на кратных и когерентных частотах. Данные свойства позволяют уменьшить время переходных процессов в контуре ФАПЧ, а также исключить «захват» паразитных частот [9].

Такой частотно-фазовый детектор может применяться как в составе контура ФАПЧ, так и отдельно, представляя собой пороговое устройство (компаратор) контроля разности фаз и частот входных сигналов  $F1$ ,  $F0$ .

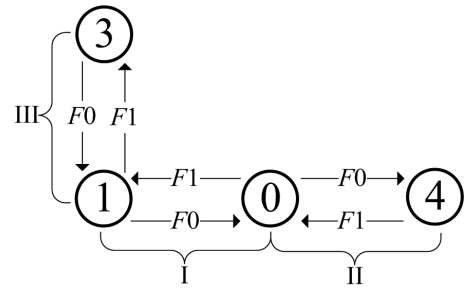


Рисунок 5. Граф состояний частотно-фазового детектора: 0 – начальное состояние схемы; 1 – детектирование первого переднего фронта сигнала  $F1$ ; I – режим детектирования фаз при последующем сигнале переднего фронта  $F0$ ; 3 – формирование логической «1» на выходе  $Q1$  после повторного детектирования переднего фронта сигнала  $F1$ ; III – режим частотного детектирования – опережения частоты сигнала  $F1$  относительно частоты  $F0$ ; 4 – переход в состояние логической «1» выходного сигнала  $Q0$  при детектировании переднего фронта сигнала  $F0$  в исходном состоянии частотно-фазового детектора; II – режим частотного детектирования – опережения частоты сигнала  $F0$  относительно опорного сигнала  $F1$

Таблица 2. Описание логической функции ЧФД

$F1 > F0$ Детектирование частот	$F1 < F0$ Детектирование частот	$F1 = F0$ Детектирование фаз
$Tx = 1$	$Tx = 0$	
$Q0 = 0$	$Q0 = 1$	$Q0 = 0$
$Q1 = 1$	$Q1 = 0$	$Q1 = 0$

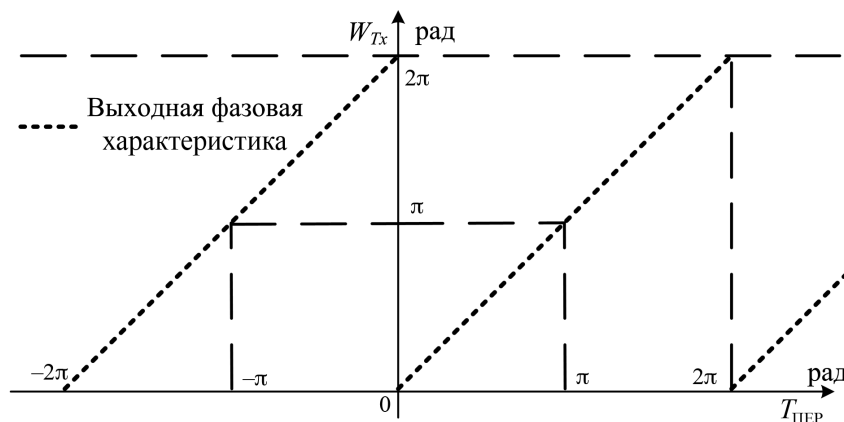


Рисунок 6. Выходная фазовая характеристика частотно-фазового детектора: пунктирной линией изображена выходная фазовая характеристика детектора в режиме сравнения фаз;  $W_{Tx}$  – ширина импульса логической «1» выходного сигнала  $Tx$

## СПИСОК ЛИТЕРАТУРЫ

1. Sizov M. V. Voltage to pulse converter stabilized by a PLL // *Engineering Solutions*. 2012. № 6. С. 26–32.
2. Сизов М. В. Преобразователь напряжения в длительность импульса, стабилизированный ФАПЧ // *Современная электроника*. 2012. № 6. С. 2–5.
3. Система ФАПЧ и ее применения [Электронный ресурс]. URL: <http://catalog.gaw.ru/index.php?page=document&id=1478> (дата обращения: 21.04.2019).
4. Контур фазовой автоподстройки частоты и его основные свойства [Электронный ресурс]. URL: <http://www.dsplib.ru/content/pll/pll.html> (дата обращения: 21.04.2019).
5. Магеррамов Р. В. Применение контура ФАПЧ при реализации 16-разрядного АЦП // *Вопросы радиоэлектроники*. 2018. № 8. С. 6–12.
6. Magerramov R. V. Research and development of the PLL loop for the implementation of ADC based on nanoscale technologies. *EIConRus*, 2018. P. 2018–2022.
7. Сизов М., Малашевич Н., Федоров Р. АЦП с контуром фазовой автоподстройки частоты // *Наноиндустрия*. 2016. № 8. С. 40–47.
8. Klappe J. *Phase-locked and frequency feedback systems: principle and techniques*. Academic Press Inc., 2012. 77 p.
9. Боровиков С. М., Цырельчук И. Н., Троян Ф. Д. Расчет показателей надежности радиоэлектронных средств. Минск: БГУИР, 2010. 68 с.

## ИНФОРМАЦИЯ ОБ АВТОРЕ

**Магеррамов Рафаэл Вагифович**, аспирант, Национальный исследовательский университет «МИЭТ»; младший научный сотрудник, Научно-производственный комплекс «Технологический центр», Российская Федерация, 124498, Москва, Зеленоград, пл. Шокина, д. 1, стр. 7, тел.: 8 (926) 969-02-07, e-mail: [rafaelmag4@gmail.com](mailto:rafaelmag4@gmail.com).

---

*For citation: Magerramov R. V. Method of frequency-phase detection used in ADC based on PLL circuit. *Voprosy radioelektroniki*, 2019, no. 8, pp. 26–30. DOI 10.21778/2218-5453-2019-8-26-30*

**R. V. Magerramov**

## METHOD OF FREQUENCY-PHASE DETECTION USED IN ADC BASED ON PLL CIRCUIT

The phase-locked loop (PLL) is an integral part of many electronic products in modern electronics and radio engineering, which is used to form and process analog and digital signals. One of the non-standard applications of the PLL circuit is to implement an analog voltage-to-pulse converter. This application of the PLL circuit allows you to create an analog-to-digital converter (ADC) with high resolution, and the implementation features of the PLL circuit can provide a number of advantages, such as high noise immunity, compensation for the errors of passive elements, operation in a wide temperature range, etc. The accuracy of the conversion in such a device depends on both the separately designed blocks of the PLL circuit and the parameters of the system as a whole. The paper discusses the implementation of a digital frequency-phase detector (FFD) operating in the range from 0 to  $2\pi$ . The basis of his work is the method of frequency-phase detection, which reduces the time of transients in the PLL circuit, and also eliminates the detection of coherent and multiple frequencies of the reference signal.

**Keywords:** frequency phase detector, analog-to-digital converter, transient

## REFERENCES

1. Sizov M. V. Voltage to pulse converter stabilized by a PLL. *Engineering Solutions*, 2012, no. 6, pp. 26–32.
2. Sizov M. V. Voltage to pulse converter, stabilized by PLL. *Sovremennaya elektronika*, 2012, no. 6, pp. 2–5. (In Russian).
3. PLL and its applications. (In Russian). Available at: <http://catalog.gaw.ru/index.php?page=document&id=1478> (accessed 21.04.2019).
4. Phase locked loop and its basic properties. (In Russian). Available at: <http://www.dsplib.ru/content/pll/pll.html> (accessed 21.04.2019).
5. Magerramov R. V. Application of the PLL control at the realization of a 16-through ADC. *Voprosy radioelektroniki*, 2018, no. 8, pp. 6–12. (In Russian).
6. Magerramov R. V. Research and development of the PLL loop for the implementation of ADC based on nanoscale technologies. *Proceedings of EIConRus*, 2018, pp. 2018–2022.
7. Sizov M., Malashevich N., Fedorov R. ADC phase locked loop. *Nanoindustriya*, 2016, no. 8, pp. 40–47.
8. Klappe J. *Phase-locked and frequency feedback systems: principle and techniques*. Academic Press Inc., 2012, 77 p.
9. Borovikov S. M., Tsyrelchuk I. N., Troyan F. D. *Raschet pokazatelei nadezhnosti radioelektronnykh sredstv* [Calculation of reliability indicators of radio-electronic means]. Minsk, BGUIR Publ., 2010, 68 p. (In Russian).

## AUTHOR

**Magerramov Rafael**, postgraduate student, National Research University of Electronic Technology – MIET; Junior Researcher, SMC Technology Center, 1/7, Shokina Sq., Zelenograd, Moscow, 124498, Russian Federation, tel.: +7 (926) 969-02-07, e-mail: [rafaelmag4@gmail.com](mailto:rafaelmag4@gmail.com).