

**Т.А. Деменкова<sup>1</sup>, С.А. Николаев<sup>1</sup>**<sup>1</sup> Московский технологический университет (МИРЭА)

## ЗАДАЧА ПРОЕКТИРОВАНИЯ ЦИФРОВОЙ АППАРАТУРЫ НА ОТЕЧЕСТВЕННОЙ ЭЛЕМЕНТНОЙ БАЗЕ\*

*В статье рассматриваются особенности реализации цифровой аппаратуры на программируемых логических интегральных схемах с позиций актуальной проблемы импортозамещения. Рассмотрены основные подходы к проектированию, а также возможности отечественной элементной базы. На конкретном примере блока БПФ показан маршрут разработки на основе отечественной ПЛИС 5576XC4T.*

**Ключевые слова:** элементная база, ПЛИС, сложно-функциональный блок (IP-ядро), БПФ, импортозамещение.

В настоящее время в самых различных областях разработки цифровых устройств все большее применение находят микросхемы с программируемой логикой (ПЛИС). В общем случае, данный тип микросхем содержит в себе массив относительно простых программируемых логических блоков и средств их коммутации, из которых путем прошивки пользователь может сформировать различные цифровые схемы, решающие определенные задачи. Примерами устройств, которые могут быть реализованы на ПЛИС являются средства и узлы узкоспециализированной вычислительной техники, устройства цифровой обработки сигналов, видео-, аудио- и радиолокационная аппаратура, различные устройства сопряжения специальных интерфейсов и системы управления, для построения которых по различным причинам не выгодна разработка заказных и полузаказных интегральных схем (СБИС). При этом на ПЛИС также можно решать и задачу прототипирования СБИС.

Широтой применения ПЛИС обусловлено активное применение ПЛИС зарубежных фирм при разработке отечественных специальных цифровых устройств, что, в свою очередь, делает актуальной задачу их замещения на полностью отечественные разработки.

В области проектирования цифровых устройств на ПЛИС можно выделить три направления для импортозамещения:

- 1) замещение самой элементной базы;
- 2) замещение средств маршрута проектирования (систем САПР);

- 3) замещение импортных сложно-функциональных блоков (IP-ядер).

Под замещением элементной базы понимается разработка, запуск в серийное производство и внедрение отечественных микросхем программируемой логики. За последние несколько лет в этой области наметился некоторый прогресс: в России был налажен выпуск нескольких серий микросхем (5576XC, 5578TC разработки КТЦ «Электроника» и производства ВВЗП-С, 5510XC производства НИИМЭ и «Микрон») емкостью до 500 тыс. эквивалентных вентиляей.

Серия 5576XC (ВЗПП-С) включает в себя линейку микросхем программируемой логики, основные характеристики которой представлены в таблице 1.

Данная серия ПЛИС является полным функциональным аналогом соответствующих микросхем семейства FLEX 10K(E) производства фирмы Altera, максимально повторяя их топологию и внутреннюю организацию, имеющих одинаковые параметры быстройдействия.

Основные параметры более совершенных (по сравнению с серией 5576XC) микросхем ПЛИС серии 5578TC приведены в таблице 2.

Ключевым отличием микросхем данной серии от рассматриваемой выше серии 5576XC является усложнение архитектуры базового логического блока, прототипом которой являются логические блоки микросхем семейства Cyclone II первой половины 2000-х годов фирмы Altera. Существенно расширен объем встроенной блочной памяти, реализованы технологические примитивы аппаратных умножителей, аналогичные таковым

\* Исследования выполнены в рамках государственных работ в сфере научной деятельности в базовой части госзадания № 2014/112, код проекта 35.

Таблица 1. ПЛИС серии 5576XC

Параметры	Микросхемы	5576XC1T	5576XC4T	5576XC6T	5576XC7T
Тех. процесс		350 нм	180 нм		
Рабочая температура, °C		-60 / +100	-60 / +125		
Напряжение питания, В		3,3 ± 0,3	Ядро: 1,8 ± 0,09 Периферия: 3,3 ± 0,3		
Лог. емкость, вентиляей, шт.		50 000	200 000	50 000	30 000
Количество лог. элементов, шт.		2880	9984	2880	1500
Количество триггеров, шт.		3 184	10 155	3063	1670
Встроенная память		20 кбит	96 кбит	20 кбит	–
Корпус		4245.240—6, PQFP-240	4244.256—3, PQFP-256	4244.256—3	4244.256—3
Количество пользовательских выводов, шт.		176	171	183	170
Загрузочная память		5576PC1Y и аналоги	5576PC1Y и аналоги	5576PC1Y и аналоги	5576PC1Y и аналоги
Функциональные аналоги		Altera EPF10K50	Altera EPF10K200S(E)	Altera EPF10K50E	Altera EPF10K30E
Дополнительно		5В толерантна	–	Стойкость к СВВФ	–

Таблица 2. ПЛИС серии 5578ТС

Параметры	Микросхемы	5578TC014	5578TC024
Тех. процесс		180 нм	
Рабочая температура, °C		-60 / +125	
Напряжение питания, В		Ядро: 1,8 ± 0,09 Периферия: 3,3 ± 0,3	
Лог. емкость, вентиляей, шт.		300 000	500 000
Количество лог. элементов, шт.		5040	7200
Количество триггеров, шт.		5212	7372
Встроенная память		252 кбит	360 кбит
Встроенные умножители 18x18, шт.		14	20
Корпус		4244.256—3	4244.256—3
Количество пользовательских выводов, шт.		172	176
Загрузочная память		5578PC015 и аналоги	5578PC015 и аналоги
Функциональные аналоги		Altera EPF2C5	Altera EPF2C8

в семействе Cyclone II, применение которых позволяет существенно увеличить эффективность реализации на данных ПЛИС алгоритмов, содержащих большое количество умножений. Следует отметить, что серия 5578XC в отличие от серии 5576XC не является полным функциональным аналогом

серий-прототипов: отличается схема построения трассировочных ресурсов, не реализованы технологические примитивы фазовой автоподстройки частоты (PLL), микросхемы выполнены по менее совершенному 180 нм техпроцессу, в отличие от 90 нм Cyclone II.

В отличие от рассмотренных ранее семейств, семейство 5510XC (НИИМЭ и «Микрон») обладает меньшей логической емкостью и предназначено, в основном, для замены ПЛИС с архитектурой CPLD. Основные параметры микросхем серии 5510XC приведены в таблице 3.

Прототипом ПЛИС данного семейства послужило семейство Max II фирмы Altera. Основной идеей, заложенной в семействе MAX II, было заполнение пробела между ПЛИС с архитектурой FPGA и CPLD. ПЛИС данной серии имели встроенную конфигурационную память, низкое энергопотребление и внутреннюю организацию, присущую FPGA. Все это позволяло с успехом заменить ПЛИС CPLD в целевых проектах. Однако в отличие от прототипа отечественные ПЛИС 5510XC не имеют встроенной конфигурационной памяти и требуют внешней загрузочной памяти.

Исходя из вышеизложенного, можно сформулировать основные задачи, которые стоят перед разработчиками следующих поколений отечественных ПЛИС:

- необходимость применения более совершенного технологического процесса изготовления микросхем (например, освоенного НИИМЭ и «Микрон» 90 нм), что позволит увеличить общую логическую емкость и реализовать более совершенную внутреннюю архитектуру;
- реализация в ПЛИС технологических примитивов управления внутренними частотами синхронизации (PLL).

Развитие отечественных линеек микросхем программируемой логики делает актуальной задачу

развития отечественных средств проектирования цифровых устройств на их основе.

В итоге в маршруте проектирования на ПЛИС можно выделить следующие этапы:

- 1) логическое проектирование на стандартных языках описания аппаратуры (ЯОА), таких как Verilog, VHDL;
- 2) синтез списка связей (нетлиста) полученной модели цифрового устройства на ЯОА в базе используемой элементной базы;
- 3) размещение и трассировка синтезированной модели на кристалле ПЛИС;
- 4) функциональная и временная верификация;
- 5) получение прошивки.

На данном этапе развития отечественной элементной базы отсутствуют средства САПР, охватывающие весь маршрут проектирования. Данную проблему решают двумя способами:

- 1) разрабатывается кристалл ПЛИС методом полного функционального копирования зарубежного аналога для возможности использования средств его маршрута проектирования;
- 2) используются адаптация и применение в маршруте проектирования импортных средств синтеза и верификации общего назначения.

Примером первого способа решения задачи является серия ПЛИС 5576XC. Так как микросхемы этой серии являются полным функциональным аналогом соответствующих микросхем Altera FLEX10K(E) вплоть до идентичных параметров быстродействия,

Таблица 3. ПЛИС серии 5510XC

Параметры	Микросхемы		
	5510XC1T	5510XC2T	5510XC3T
Тех. процесс	180 нм		
Рабочая температура, °C	-60 / +85		
Напряжение питания, В	Ядро: 1,8 ± 0,09 Периферия: 1,5—3,3 ± 5 %		
Лог. емкость, вентиляей, шт.	20 000	50 000	100 000
Количество лог. элементов, шт.	570	1270	2210
Количество триггеров, шт.	570	1270	2210
Встроенная память	–	–	–
Корпус	4245.240—6	–	–
Количество пользовательских выводов, шт.	160	204	–
Загрузочная память	AT17LV и аналоги		
Функциональные аналоги	Altera EPM570	Altera EPM1270	Altera EPM2210

все этапы маршрута проектирования выполняются в САПР Altera Quartus II (устаревшей версии). Единственная особенность заключается в сопоставлении физических выводов микросхемы логическим выводам проекта. Эту операцию производят либо вручную с учетом таблицы соответствия выводов отечественного металлокерамического корпуса оригинальному корпусу микросхемы фирмы Altera, либо при помощи программной утилиты, предоставляемой производителем отечественной ПЛИС, которая выполняет эту операцию в автоматическом режиме.

Примером второго способа служат маршруты проектирования серий 5578ХС и 5510ХС, так как они не являются полными функциональными аналогами их прототипов.

При проектировании цифрового устройства на ПЛИС серии 5578ХС для первых этапов (разработка и синтез аппаратной модели на ЯОА) применяется САПР Quartus II фирмы Altera, а трассировка и размещение — на кристалле, генерация файла прошивки выполняется с применением отечественных средств автоматизированного проектирования, предоставляемых производителем.

Маршрут проектирования на ПЛИС серии 5510ХС в целом аналогичен маршруту проектирования ПЛИС серии 5578ХС, за исключением того, что в качестве средств синтеза моделей на ЯОА могут использоваться зарубежные САПР общего назначения, которые являются, по сути, отраслевым стандартом (RTL Compiler фирмы Cadence, Design Compiler фирмы Synopsys). Они не привязаны к элементной базе конкретного производителя и могут быть приспособлены для поддержки ПЛИС с оригинальной архитектурой.

Следовательно, наиболее перспективным, с точки зрения импортозамещения, является подход, примененный при построении маршрута проектирования для ПЛИС серии 5510ХС, так как он позволяет при разработке элементной базы реализовывать собственные архитектурные решения, а не выполнять прямое копирование устаревших зарубежных.

Третье направление импортозамещения связано с актуальной в настоящее время концепцией широкого применения при проектировании цифровых устройств на ПЛИС, так называемых сложно-функциональных блоков. Данные блоки представляют собой функционально-законченные и верифицированные узлы цифровых устройств, решающих определенный набор задач и спроектированных с расчетом на возможность повторного использования. Будучи единожды спроектированными, эти блоки за счет их применения в последующих проектах позволяют существенно упростить и ускорить разработку целевого устройства. При этом

сложно-функциональные блоки в большинстве своем распространяются на коммерческой основе, в закрытом виде (например, скомпилированного нетлиста) и часто привязаны к конкретной элементной базе. Примером такого подхода служит то, что подавляющее большинство мировых производителей ПЛИС (Altera, Xilinx, Lattice) включает в свои пакеты САПР отдельно лицензируемые средства генерации сложно-функциональных блоков для широкого спектра применений (интерфейсные, математические, блоки цифровой обработки сигналов), которые можно использовать исключительно с их элементной базой. Все это делает важной задачу их разработки для имеющейся отечественной элементной базы.

В качестве примера таких блоков, в процессе исследования, был реализован аппаратный блок быстрого преобразования Фурье (БПФ). Данный алгоритм широко применяется в сфере цифровой обработки сигналов в задачах спектрального анализа. На рисунке 1 представлена структурная схема реализованного блока.

Реализованный блок осуществляет преобразование 2048 дискретных отсчетов входного сигнала. Формат входных и выходных данных — 16-разрядный знаковый с фиксированной точкой. Вычисление БПФ выполняется по алгоритму Кули-Тьюки на основе двухточечного дискретного преобразования Фурье (ДПФ-2, «бабочка») с прореживанием по частоте. Входные отсчеты, результаты промежуточного вычисления и результаты итогового вычисления хранятся в двухпортовой памяти (DPRAM0 — DPRAM3), выполненной на технологических примитивах блочной памяти 5576ХС4Т, являющихся полным функциональным аналогом технологических блоков ЕАВ ПЛИС серии Flex10KE компании Altera. Загрузка входных отсчетов, вычисление и выдача результата разделены во времени, что позволило реализовать прямой порядок следования входных и выходных отсчетов. Временная диаграмма, демонстрирующая порядок вычисления БПФ, представлена на рисунке 2.

Модель блока была выполнена на языке описания аппаратуры Verilog и имплементирована в проект в САПР Altera Quartus II в соответствии с маршрутом проектирования для ПЛИС 5576ХС4Т. Результат имплементации представлен на рисунке 3.

Полученные в результате проведенных исследований рекомендации могут быть полезны как разработчикам цифровой аппаратуры на ПЛИС, так и производителям современной отечественной элементной базы, так как выявление проблем со стороны пользователей в настоящее время является необходимой составляющей процесса перехода на новую платформу.



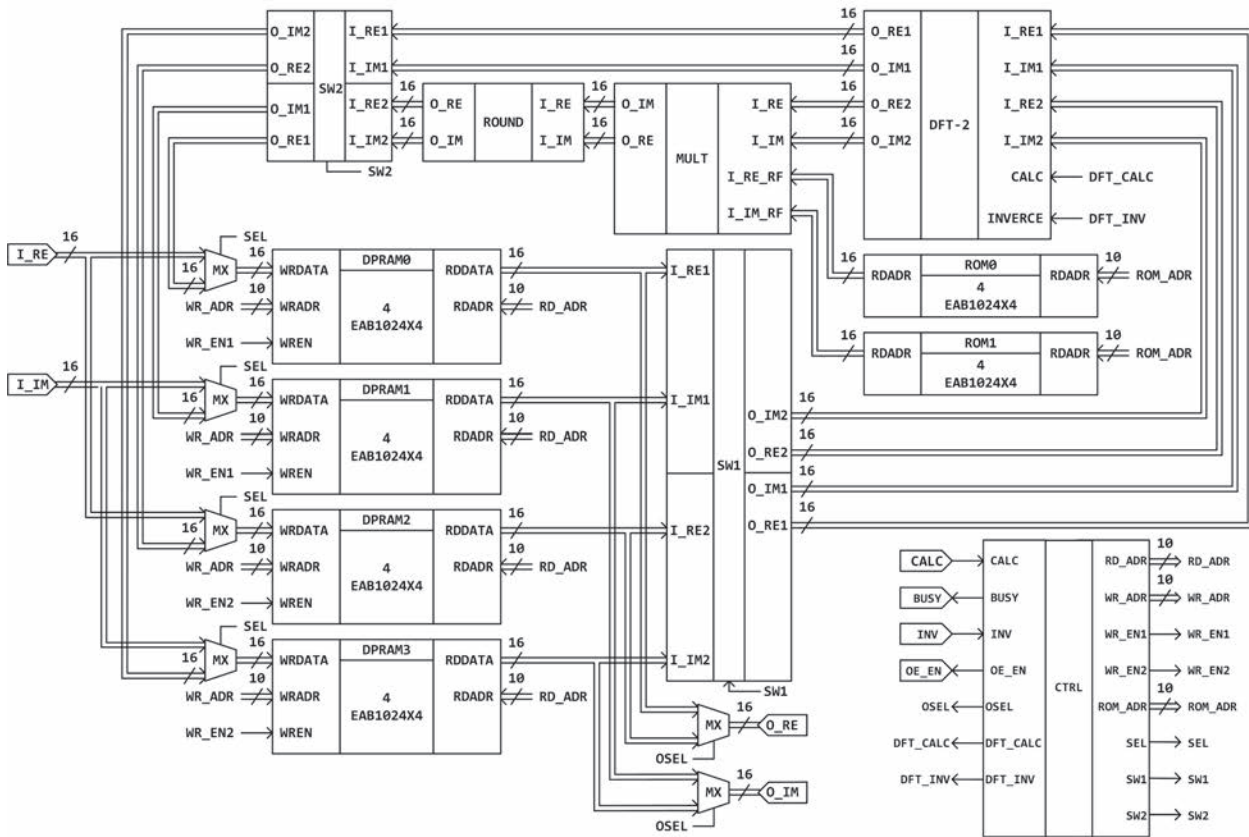


Рисунок 1. Структурная схема блока БПФ для ПЛИС 5576XC4T

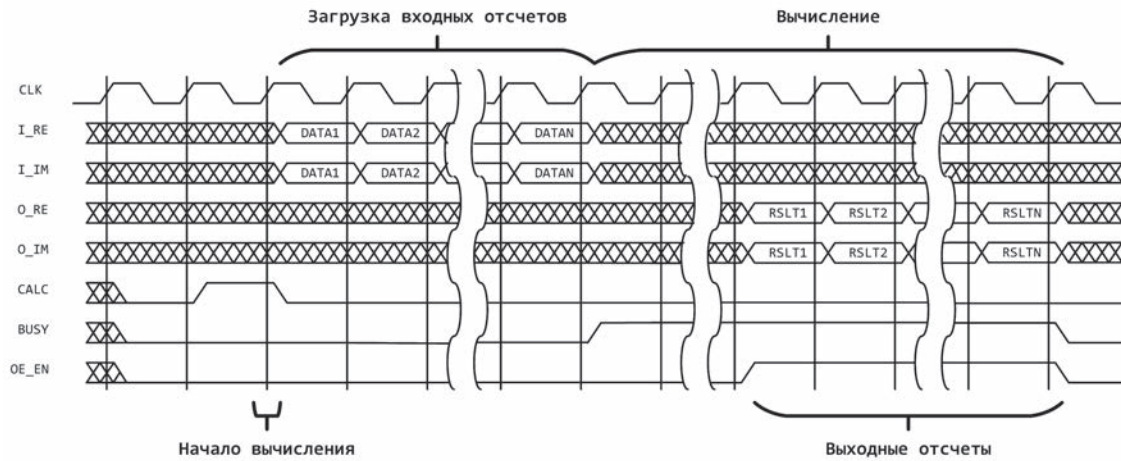


Рисунок 2. Временная диаграмма работы блока БПФ для ПЛИС 5576XC4T

Fitter Resource Usage Summary		Timing Analyzer Summary					
Resource	Usage	Type	Slack	Required Time	Actual Time		
1	Total logic elements	8,152 / 9,984 ( 82% )	1	Worst-case tsu	N/A	None	17.900 ns
2	Registers	6,717 / 9,984 ( 67% )	2	Worst-case tco	N/A	None	39.900 ns
3	Logic elements in carry chains	741	3	Worst-case tpd	N/A	None	18.100 ns
4	User inserted logic elements	0	4	Worst-case th	N/A	None	5.200 ns
5	I/O pins	70 / 188 ( 37% )	5	Clock Setup: 'CLK_32M'	9.525 ns	32.00 MHz ( period = 31.250 ns )	33.22 MHz ( period = 30.100 ns )
6	-- Clock pins	1 / 2 ( 50% )	6	Clock Hold: 'CLK_32M'	0.100 ns	32.00 MHz ( period = 31.250 ns )	N/A
7	-- Dedicated input pins	0 / 4 ( 0% )	7	Total number of failed paths			
8	Global signals	1					
9	EABs	24 / 24 ( 100% )					
10	Total memory bits	98, 304 ( 100% )					
11	Total RAM block bits	98, 304 ( 100% )					
12	Maximum fan-out node	CLK_32M					
13	Maximum fan-out	500					

Рисунок 3. Результат имплементации блока БПФ на ПЛИС 5576XC4T

**ЛИТЕРАТУРА**

1. Каталог новых изделий ВЗПП-С. — [Электронный ресурс]. — Режим доступа: [http://www.vzpp-s.ru/docs/novye\\_izdelia/cat\\_new.pdf](http://www.vzpp-s.ru/docs/novye_izdelia/cat_new.pdf) (Дата обращения 28.02.2016).
2. Каталог изделий ВЗПП-С. — [Электронный ресурс]. — Режим доступа: <http://www.vzpp-s.ru/production/catalog.pdf> (Дата обращения 28.02.2016).
3. Деменкова, Т.А., Николаев, С.А. Синтезируемая модель блока быстрого преобразования Фурье // Фундаментальные проблемы радиоэлектронного приборостроения. — 2015. — Т. 15. — № 4. — С. 52—55.
4. Altera Flex 10KE Embedded Programmable Logic Device Data Sheet. — [Электронный ресурс]. — Режим доступа: [https://www.altera.com/content/dam/altera-www/global/en\\_US/pdfs/literature/ds/dsf10ke.pdf](https://www.altera.com/content/dam/altera-www/global/en_US/pdfs/literature/ds/dsf10ke.pdf) (Дата обращения 28.02.2016).
5. Altera fft\_on\_chip Fast Fourier Transform. — [Электронный ресурс]. — Режим доступа: [ftp://ftp.altera.com/pub/lit\\_req/document/fs/fs07\\_01.pdf](ftp://ftp.altera.com/pub/lit_req/document/fs/fs07_01.pdf) (Дата обращения 28.02.2016).

**ИНФОРМАЦИЯ ОБ АВТОРАХ**

**Деменкова Татьяна Александровна**, к.т.н., доцент, Московский технологический университет (МИРЭА), 119454, г. Москва, Проспект Вернадского, д. 78, тел. 8 (916) 240-48-40, e-mail: [demenkova@mirea.ru](mailto:demenkova@mirea.ru).

**Николаев Сергей Александрович**, аспирант, Московский технологический университет (МИРЭА), 119454, г. Москва, Проспект Вернадского, д. 78, тел. 8 (903) 156-41-79, e-mail: [mail.s.nikolaev@gmail.com](mailto:mail.s.nikolaev@gmail.com).

For citation: *Voprosy radioelektroniki*. — 2016. — № 5. — P. 12—17.

**T. A. Demenkova, S. A. Nikolaev**

**PROBLEM OF DESIGN OF THE DIGITAL EQUIPMENT ON DOMESTIC ELEMENT BASE**

In work features of realization of the digital equipment on programmable logical integrated circuits from positions of an actual problem of import substitution are considered. The main approaches to design, and also a possibility of domestic element base are considered. On a concrete example of the FFT block the development route on the basis of domestic VLSI 5576XC4T is shown.

**Keywords:** element base, VLSI, difficult and functional block (IP kernel), BPF, import substitution.

**REFERENCES**

1. Katalog novykh izdelii VZPP-S. — [Elektronnyi resurs]. — Rezhim dostupa: [http://www.vzpp-s.ru/docs/novye\\_izdelia/cat\\_new.pdf](http://www.vzpp-s.ru/docs/novye_izdelia/cat_new.pdf) (Data obrasheniya 28.02.2016).
2. Katalog izdelii VZPP-S. — [Elektronnyi resurs]. — Rezhim dostupa: <http://www.vzpp-s.ru/production/catalog.pdf> (Data obrasheniya 28.02.2016).
3. Demenkova, T.A., Nikolaev, S.A. Sinteziruemaya model' bloka bystrogo preobrazovaniya Fur'e // Fundamental'nye problemy radioelektronnogo priborostroeniya. — 2015. — T.15. — № 4. — S.52—55.
4. Altera Flex 10KE Embedded Programmable Logic Device Data Sheet. — [Elektronnyi resurs]. — Rezhim dostupa: [https://www.altera.com/content/dam/altera-www/global/en\\_US/pdfs/literature/ds/dsf10ke.pdf](https://www.altera.com/content/dam/altera-www/global/en_US/pdfs/literature/ds/dsf10ke.pdf) (Data obrasheniya 28.02.2016).
5. Altera fft\_on\_chip Fast Fourier Transform. — [Elektronnyi resurs]. — Rezhim dostupa: [ftp://ftp.altera.com/pub/lit\\_req/document/fs/fs07\\_01.pdf](ftp://ftp.altera.com/pub/lit_req/document/fs/fs07_01.pdf) (Data obrasheniya 28.02.2016).

**AUTHORS**

**Demenkova Tatiana**, Ph.D, Computer Science Department, Moscow Technological University (MIREA), 119454, Moscow, Prospect Vernadskogo, 78. Tel. 8 (495) 434-95-01, e-mail: [demenkova@mail.ru](mailto:demenkova@mail.ru).

**Nikolaev Sergey**, aspirant, Computer Science Department, Moscow Technological University (MIREA), 119454, Moscow, Prospect Vernadskogo, 78. Tel. 8 (495) 434-95-01, e-mail: [mail.s.nikolaev@gmail.com](mailto:mail.s.nikolaev@gmail.com).